

APPLICATION  
FOR  
UNITED STATES LETTERS PATENT

TITLE: DATA LATCH CIRCUIT AND ELECTRONIC DEVICE

APPLICANT: MITSUAKI OSAME AND AYA ANZAI

## 明細書

### データラッチ回路及び電子機器

#### 5 技術分野

本発明は、デジタル信号を取り込むデータラッチ回路に関する。また、本発明は、そのデータラッチ回路を駆動回路の一部に用いたアクティブマトリクス型表示装置に関する。また、本発明は、そのアクティブマトリクス型表示装置を用いた電子機器に関する。

10

#### 背景技術

近年、液晶表示装置や発光装置などのアクティブマトリクス型表示装置は、携帯機器向け等の需要の増加から、それらの開発が進められている。特に絶縁体上に多結晶半導体（poly-Si；ポリシリコン）により形成された薄膜トランジスタ（Thin Film Transistor；TFT）を用いて画素回路及び駆動回路（  
15 in Film Transistor；TFT）を用いて画素回路及び駆動回路（以下まとめて「内部回路」と称する。）を一体形成する技術は活発に開発が進められている。内部回路はソース信号線駆動回路及びゲート信号線駆動回路等を有しており、これらの駆動回路等がマトリクス状に配置された画素回路を制御する。

また、内部回路は、FPC（Flexible Printed Circuit  
20 ）等を介して、コントローラIC等（以下「外部回路」と称する。）と接続され、その動作が制御される。一般的に、外部回路に用いるICの駆動電圧（即ち信号の振幅）は、低消費電力化の観点から、内部回路の駆動電圧と比較して小さくなっている。現状では、外部回路には3.3Vの電圧で動作するICが用いられるのが一般的ではあるが、内部回路の動作電圧は10V程度と外部回路と比較して高い。そのため、3.

3 Vの信号を外部回路から内部回路に入力する際、レベルシフト回路等で信号の振幅を10 V程度に変換する必要がある。

しかし、外部回路においてレベルシフトする場合には、レベルシフトIC、電源IC等の部品の増加、消費電力の増加等の問題が生じる。一方、内部回路においてシフトレジスタやデータラッチ回路等に入力する前にレベルシフトする場合には、レイアウト面積の増加、消費電力の増加、高周波動作が困難等の問題が生じる。よって、外部回路からの低電圧の振幅の信号をそのまま内部回路の駆動回路を構成するシフトレジスタやデータラッチ回路等に入力して、正確に動作させる方式が求められている（以下、この方式を「低電圧駆動」と称する。）。

10 アクティブマトリクス型表示装置における駆動方法としては、デジタル駆動方式とアナログ駆動方式がある。デジタル駆動方式を用いる場合、内部回路を構成するソース信号線駆動回路内には、シフトレジスタからのサンプリングパルスによって順次デジタルの映像信号を取り込むデータラッチ回路が必要となる。

データラッチ回路には、低電圧信号入力を考慮したものもある（以下の特許文献1  
15 参照。）。

（特許文献1： 特開平11-184440号公報）

しかし、低電圧信号入力に対応したデータラッチ回路においては、TFTの諸特性のばらつきの影響により、誤作動してしまう場合がある。

ここで、一般的な従来型データラッチ回路を図2（A）に示す。前記データラッチ  
20 回路はクロックドインバータ2005及びインバータ2006を有し、前記クロックドインバータ2005は直列に接続されたP型TFT2001及び2002、並びにN型TFT2003及び2004を有する。P型TFT2001のゲート電極にはシフトレジスタからのサンプリングパルス（LAT）が入力され、ソース電極は電源VDDが供給されるような接続構造をとる。N型TFT2004のゲート電極にはサン

プリングパルス (LAT) の反転パルス (LATB) が入力され、ソース電極は電源 VSS が供給されるような接続構造をとる。P 型 TFT 2002 及び N 型 TFT 2003 のゲート電極にはデジタル信号 (DATA) が入力される。また、P 型 TFT 2002 及び N 型 TFT 2003 のドレイン電極はインバータ 2006 に接続されている。

図 2 (B) に、図 2 (A) の従来形データラッチ回路のタイミングチャートを示す。図 2 (A) 及び (B) を用い従来型データラッチ回路の動作を説明する。なお、入力されるデジタル信号 (以下「データ信号」と称する。) はデジタル形式であり、「1」を表現する電位と、「0」を表現する電位とを有する信号である。本明細書においては、如何なる場合にも、その電位を問わず、「1」を表現する電位レベルを「Hレベル」、「0」を表現する電位レベルを「Lレベル」と表記する。なお、特別の記載がない限り、その電位の高低は、Lレベル<Hレベルとする。

まず期間 T1 において、シフトレジスタから Lレベルのサンプリングパルス (LAT) が入力され、LAT が Lレベル、LATB が Hレベルとなり、P 型 TFT 2001 及び N 型 TFT 2004 がオンする。この時、DATA が Hレベルであると、P 型 TFT 2002 がオフ、且つ N 型 TFT 2003 がオンし、クロックドインバータ 2005 は VSS を出力する。逆に、DATA が Lレベルであると、P 型 TFT 2002 がオン、且つ N 型 TFT 2003 がオフし、クロックドインバータ 2005 は VDD を出力する。

20 (発明が解決しようとする課題)

前記従来型データラッチ回路において、低電圧駆動を行う場合、つまり外部回路からのデジタル信号 DATA をそのまま入力する場合について、その駆動を図 2 (A) 及び (B) を用いて説明する。ここで、VSS は -2V、VDD は 5V、LAT 及び LATB の Hレベルは 5V、Lレベルは -2V、DATA の Hレベルは 3V、Lレベ

ルは0Vとする。

まず期間T1において、シフトレジスタからサンプリングパルス、LATが入力され、LATがHレベル(5V)、LATBがLレベル(-2V)となり、P型TFT2001及びN型TFT2004がオンする。この時、DATAがHレベル(3V)であると、P型TFT2002がオフ、且つN型TFT2003がオンし、クロックドインバータ2005はVSSを出力する。しかしこの時、P型TFT2002の閾値電圧 $|V_{TH}|$ が2V以下であると、P型TFT2002もオンしてしまいリーク電流が流れる。

さらに、P型TFT2002及びN型TFT2003の諸特性、特に閾値特性がばらつき、その結果、P型TFT2002の $|V_{gs}|=2V$ におけるオン電流が、N型TFT2003の $|V_{gs}|=5V$ におけるオン電流を上回ると、論理が逆転し、クロックドインバータ2005の出力は、VSSとはならず、VDDになってしまうことになる。

反対にDATAがLレベル(0V)である場合において、N型TFT2003の $|V_{TH}|$ が2V以下であると、N型TFT2003もオンしてしまいリーク電流が流れ、さらには、N型TFT2003の $|V_{gs}|=2V$ におけるオン電流が、P型TFT2002の $|V_{gs}|=5V$ におけるオン電流を上回ると、論理が逆転し、クロックドインバータ2005の出力は、VDDとはならず、VSSになってしまうことになる。

本発明は上記の問題点を鑑みてなされたものであり、TFTの特性ばらつきの影響を受けにくく、低消費電力、高周波動作が可能なデータラッチ回路を提供することを課題とするものである。

発明の開示

(課題を解決するための手段)

本発明は、データラッチ回路において、データ信号がHレベルであるか又はLレベルであるかを判定するインバータにおいて、前記インバータの入力端子と出力端子とを短絡する手段を有し、且つ、前記インバータの入力端子を容量の一方の電極と接続し、前記容量のもう一方の電極には、データ信号又は基準電位を取り込む構成にしておく。

初めに、前記インバータの入力端子と出力端子を短絡することで、前記インバータの入力端子と容量の一方の電極とを前記インバータの閾値電位にし、同時に、前記容量のもう一方の電極を基準電位にしておく。

10 次に、基準電位にした前記容量の一方の電極にデータ信号を取り込む。これにより、前記容量を介したインバータの入力端子の電位は閾値電位から上下に変動し、データ信号のHレベル又はLレベルの判別が可能となる。

よって、電源電圧幅に対してデータ信号の振幅が小さくても、T F Tの特性ばらつきの影響を受けることなく、正確に動作することができる。

15 ここで、本発明の構成を以下に記す。

本発明のデータラッチ回路は、デジタル信号を取り込むデータラッチ回路であって、第1及び第2の電極を有する容量手段と、前記第1の電極に入力端子が接続されたインバータと、前記インバータの前記入力端子と出力端子との間に接続されたスイッチとを有し、リセット期間において、前記スイッチをオンし、且つ前記容量手段の前記第2の電極に第1の電位を入力し、前記リセット期間後の取り込み期間において、前記容量手段の前記第2の電極に前記デジタル信号を入力することを特徴とする。

また、本発明のデータラッチ回路は、デジタル信号を取り込むデータラッチ回路であって、第1及び第2の電極を有する容量手段と、前記第1の電極に入力端子が接続されたインバータと、前記インバータの前記入力端子と出力端子との間に接続された

第1のスイッチと、前記第2の電極に接続された第2のスイッチ及び第3のスイッチとを有し、リセット期間において、前記第1のスイッチをオンし、且つ前記第2のスイッチをオンすることにより前記容量手段の前記第2の電極に第1の電位を入力し、前記リセット期間後の取り込み期間において、前記第3のスイッチをオンすることにより前記容量手段の前記第2の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。

また、本発明のデータラッチ回路は、デジタル信号を取り込むデータラッチ回路であって、第1及び第2の電極を有する容量手段と、前記第1の電極に入力端子が接続された第1のインバータと、前記第1のインバータの前記入力端子と出力端子との間に接続されたスイッチと、前記第1のインバータの前記出力端子に入力端子が接続された第2のインバータと、前記第2のインバータの前記入力端子及び出力端子に出力端子及び入力端子がそれぞれ接続されたクロックドインバータとを有し、リセット期間において、前記スイッチをオンし、且つ前記容量手段の前記第2の電極に第1の電位を入力し、前記リセット期間後の取り込み期間において、前記容量手段の前記第2の電極に前記デジタル信号を入力することを特徴とする。

また、デジタル信号を取り込むデータラッチ回路であって、第1及び第2の電極を有する容量手段と、前記第1の電極に入力端子が接続された第1のインバータと、前記第1のインバータの前記入力端子と出力端子との間に接続された第1のスイッチと、前記第2の電極に接続された第2のスイッチ及び第3のスイッチと、前記第1のインバータの前記出力端子に入力端子が接続された第2のインバータと、前記第2のインバータの前記入力端子及び出力端子に出力端子及び入力端子がそれぞれ接続されたクロックドインバータとを有し、リセット期間において、前記第1のスイッチをオンし、且つ前記第2のスイッチをオンすることにより前記容量手段の前記第2の電極に第1の電位を入力し、前記リセット期間後の取り込み期間において、前記第3のスイ

ッチをオンすることにより前記容量手段の前記第 2 の電極に前記デジタル信号を入力することを特徴とする。

また、本発明のデータラッチ回路は、デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する容量手段と、前記第 1 の電極に端子が接続された第 1 のインバータと、前記第 1 のインバータの前記端子と端子との間に接続されたスイッチと、前記第 1 のインバータの前記端子に端子が接続された第 2 のインバータと、前記第 1 のインバータの前記端子及び前記端子に端子及び端子がそれぞれ接続されたクロックドインバータとを有し、リセット期間において、前記スイッチをオンし、且つ前記容量手段の前記第 2 の電極に第 1 の電位を入力し、前記リセット期間後の取り込み期間において、前記容量手段の前記第 2 の電極に前記デジタル信号を入力することを特徴とする。

また、本発明のデータラッチ回路は、デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する容量手段と、前記第 1 の電極に端子が接続された第 1 のインバータと、前記第 1 のインバータの前記端子と端子との間に接続された第 1 のスイッチと、前記第 2 の電極に接続された第 2 のスイッチ及び第 3 のスイッチと、前記第 1 のインバータの前記端子に端子が接続された第 2 のインバータと、前記第 1 のインバータの前記端子及び前記端子に端子及び端子がそれぞれ接続されたクロックドインバータとを有し、リセット期間において、前記第 1 のスイッチをオンし、且つ前記第 2 のスイッチをオンすることにより前記容量手段の前記第 2 の電極に第 1 の電位を入力し、前記リセット期間後の取り込み期間において、前記第 3 のスイッチをオンすることにより前記容量手段の前記第 2 の電極に前記デジタル信号を入力することを特徴とする。

また、本発明のデータラッチ回路は、デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する第 1 の容量手段と、第 3 及び第 4 の電極を有す

る第2の容量手段と、前記第1の電極及び前記第3の電極に入力端子が接続されたインバータと、前記インバータの前記入力端子と出力端子との間に接続されたスイッチとを有し、リセット期間において、前記スイッチをオンし、且つ前記第1の容量手段の前記第2の電極に第1の電位を入力し、且つ前記第3の容量手段の前記第4の電極に第2の電位を入力し、前記リセット期間後の取り込み期間において、前記第1の容量手段の前記第2の電極および前記第2の容量手段の前記第4の電極に前記デジタル信号を入力することを特徴とする。

また、本発明のデータラッチ回路は、デジタル信号を取り込むデータラッチ回路であって、第1及び第2の電極を有する第1の容量手段と、第3及び第4の電極を有する第2の容量手段と、前記第1の電極及び前記第3の電極に入力端子が接続されたインバータと、前記インバータの前記入力端子と出力端子との間に接続された第1のスイッチと、前記第2の電極に接続された第2のスイッチ及び第3のスイッチと、前記第4の電極に接続された第4のスイッチ及び第5のスイッチとを有し、リセット期間において、前記スイッチをオンし、且つ前記第2のスイッチをオンすることにより前記第1の容量手段の前記第2の電極に第1の電位を入力し、且つ前記第4のスイッチをオンすることにより前記第3の容量手段の前記第4の電極に第2の電位を入力し、前記リセット期間後の取り込み期間において、前記第3のスイッチをオンすることにより前記第1の容量手段の前記第2の電極に、且つ前記第5のスイッチをオンすることにより前記第2の容量手段の前記第4の電極に前記デジタル信号を入力することを特徴とする。

また、本発明のデータラッチ回路は、デジタル信号を取り込むデータラッチ回路であって、第1及び第2の電極を有する第1の容量手段と、第3及び第4の電極を有する第2の容量手段と、前記第1の電極に入力端子が接続され且つ前記第3の電極に出力端子が接続された第1のインバータと、前記第1のインバータの前記入力端子と前

記出力端子との間に接続された第1のスイッチと、第5及び第6の電極を有する第3の容量手段と、第7及び第8の電極を有する第4の容量手段と、前記第5の電極に  
入力端子が接続され且つ前記第7の電極に出力端子が接続された第2のインバータと、  
前記第2のインバータの前記入力端子と前記出力端子との間に接続された第2のスイ  
5 ャッチと、前記第4及び前記第8の電極に出力端子が接続された第3のインバータと、  
前記第3のインバータの前記入力端子と出力端子との間に接続された第3のスイ  
ッチとを有し、リセット期間において、前記第1及び第2のスイッチをオンし、且つ前記  
第1の容量手段の前記第2の電極に第1の電位を入力し、且つ前記第3の容量手段の  
前記第4の電極に第2の電位を入力し、前記リセット期間後の取り込み期間において  
10 、前記第1の容量手段の前記第2の電極および前記第2の容量手段の前記第4の電極  
に前記デジタル信号を入力することを特徴とする。

また、本発明のデータラッチ回路は、デジタル信号を取り込むデータラッチ回路で  
あって、第1及び第2の電極を有する第1の容量手段と、第3及び第4の電極を有す  
る第2の容量手段と、前記第1の電極に出力端子が接続され且つ前記第3の電極に出  
15 力端子が接続された第1のインバータと、前記第1のインバータの前記入力端子と前  
記出力端子との間に接続された第1のスイッチと、第5及び第6の電極を有する第3  
の容量手段と、第7及び第8の電極を有する第4の容量手段と、前記第5の電極に入  
力端子が接続され且つ前記第7の電極に出力端子が接続された第2のインバータと、  
前記第2のインバータの前記入力端子と前記出力端子との間に接続された第2のスイ  
20 ャッチと、前記第4及び前記第8の電極に出力端子が接続された第3のインバータと、  
前記第3のインバータの前記入力端子と出力端子との間に接続された第3のスイ  
ッチと、前記第1の電極と前記第5の電極とに接続された第5の容量とを有し、リセット  
期間において、前記第1及び第2のスイッチをオンし、且つ前記第1の容量手段の前  
記第2の電極に第1の電位を入力し、且つ前記第3の容量手段の前記第4の電極に第

2の電位を入力し、前記リセット期間後の取り込み期間において、前記第1の容量手段の前記第2の電極および前記第2の容量手段の前記第4の電極に前記デジタル信号を入力することを特徴とする。

また、前記第1の電位は、前記デジタル信号の1の電位又は0の電位であってもよい。

また、前記リセット期間を前段のシフトレジスタからのサンプリングパルスを用い決定し、前記取り込み期間を自段のシフトレジスタからのサンプリングパルスを用い決定するようにしてもよい。

また、前記デジタル信号の振幅が前記データラッチ回路に用いられる電源電圧幅と比較して小さくしてもよい。

また、前記クロックインバータの制御端子に、前段のシフトレジスタからの出力パルスを用いるようにしてもよい。

また、前記データラッチ回路は薄膜トランジスタにより形成されるようにしてもよい。

#### 15 (発明の効果)

本発明のデータラッチ回路は、電源電圧幅に対して入力信号の振幅が小さくても、TFTの諸特性のばらつきの影響を受けることなく、正確に動作することができる。よって、外部回路からの信号をレベルシフトする必要がなく、低消費電力化、レイアウト面積の縮小、コストダウンを実現することができる。

20

#### 図面の簡単な説明

図1は、本発明の一実施形態を示す図である。

図2は、従来型データラッチ回路を示す図である。

図3は、一般的なインバータの $V_{IN}-V_{OUT}$ 特性を示す図である。

図4は、外部回路及び表示パネルの概要を示す図である。

図5は、ソース信号線駆動回路の一構成例を示す図である。

図6は、本発明の一実施形態を示す図である。

図7は、本発明の一実施形態を示す図である。

5 図8は、本発明の一実施形態を示す図である。

図9は、本発明を適用可能な電子機器の例を示す図である。

図10は、一般的なクロックドインバータを示す図である。

#### 発明を実施するための最良の形態

10 本発明の実施形態について、以下に説明する。

##### (実施の形態1)

図1(A)に本実施形態のデータラッチ回路の構成を示す。

本実施形態のデータラッチ回路はデータ取り込み用スイッチ1001、リファレンス用スイッチ1002、閾値セット用スイッチ1003、容量手段1004、及び補  
15 正インバータ1005を有する。本実施形態のデータラッチ回路において、データ取り込み用スイッチ1001、リファレンス用スイッチ1002及び容量手段1004からなる回路ブロックを「ブロックx」とする。また、必要に応じて、インバータ1006を設けてもよい。

データ取り込み用スイッチ1001はLATによりオン又はオフを制御され、入力  
20 されるDATAをリファレンス用スイッチ1002と容量手段1004の第2の電極との接続部（以下「ノードa」という。）へ入力する。リファレンス用スイッチ1002はLAT-1によりオン又はオフを制御され、第1の電位（ここでは「基準電位」という。）を取り込み、データ取り込み用スイッチ1001と容量手段1004の第2の電極との接続部、即ちノードaに基準電位を出力する。補正インバータ1005の

入力端子及び出力端子は閾値セット用スイッチ1003を介し、電氣的に接続されている。補正インバータ1005の入力端子及び出力端子と閾値セット用スイッチ1003との接続部を、それぞれ、「ノードb」、「ノードc」という。また、閾値セット用スイッチ1003のオン又はオフはLAT-1により制御される。補正インバータ1005は、ノードcに接続されたインバータ1006にデータを出力する。

図1(B)に本実施形態のデータラッチ回路のタイミングチャートを示す。図1(A)及び(B)を用い、本実施形態のデータラッチ回路を低電圧駆動した場合の動作について説明する。本実施形態においては、VSSは-2V、VDDは5V、LAT、LATB、LAT-1及びLAT-1BそれぞれのHレベルは5V、Lレベルは-2V、DATAのHレベルは3V、Lレベルは0V、基準電位はDATAのLレベルとHレベルとの中間電位である1.5Vとする。また、期間T1に入力されるLATと、その後の期間T2に入力されるLAT-1のパルスは重ならないことが望ましい。

まず期間T1においてリセット作業を行う。本データラッチ回路の前段にあるシフトレジスタからサンプリングパルスLAT-1(5V)が本データラッチ回路に入力され、リファレンス用スイッチ1002及び閾値セット用スイッチ1003がオンする。その結果、ノードaは基準電位(1.5V)となる。ノードbはノードcの電位がフィードバックされ電位が動かない方向に働くので、補正インバータ1005の閾値電位(ここでは2Vとする)となる。

その後、続いて期間T2に移り、本データラッチ回路は、入力されるDATAのHレベル、Lレベルを判定する。前記シフトレジスタからのサンプリングパルスLAT(5V)が本データラッチ回路へ入力され、データ取り込み用スイッチ1001がオンする。入力されるDATAがHレベル(3V)の場合、ノードaの電位が1.5Vから3Vとなる。容量手段1004の両端の電位差は保持されるので、ノードbはノ

ードaの電圧変化分程度変化する。よって、ノードbは2 Vから1. 5 V程度上昇し、3. 5 V程度となる。

ここで、図3に一般的なインバータの $V_{IN}$ （入力信号電圧）- $V_{OUT}$ （出力信号電圧）特性を示す。図3に示されているように、 $V_{IN}$ が閾値から上下どちらかに少しでも変動すると、 $V_{OUT}$ はVDD又はVSSに大きく近づく。

よって、期間T1においてノードbは補正インバータ1005の閾値電位にセットされているため、ノードbの電位の変化にノードcは敏感に反応する。この場合、ノードbの電位は2 Vから3. 5 V程度に上昇しているため、ノードcの電位はVSSに大きく近づく。ノードcの電位は、更に、インバータ1006により整形され、その出力OUTにはVDD（Hレベル）が出力される。

反対に、期間T2においてDATAがLレベル（0 V）である場合、ノードaの電位が1. 5 Vから0 Vとなり、ノードbの電位は2 Vから1. 5 V程度下降し、0. 5 V程度となる。このように、ノードbが閾値電位から下降するため、ノードcはVDDに大きく近づく。ノードcの電位は、更に、インバータ1006により整形され、その出力OUTにはVSS（Lレベル）が出力される。

また、基準電位が固定電位である場合は、理想的にはデータ信号（ここではDATA）の振幅の中間電位が望ましいが、厳密に中間電位である必要はなく、前記データ信号の最高電位又は最低電位と異なり、かつ、前記データ信号の振幅を出ない範囲で多少変動させることが可能である。

また、基準電位にデータ信号DATAの反転信号を1データ分前にずらし、入力してもよい。この場合、例えばDATAがHレベル（3 V）であると、リセット期間T1にノードaがLレベル（0 V）になり、取り込み期間T2にHレベル（3 V）のDATAが入力されると、ノードa及びノードbが3 V程度変動し、より補正インバータ1005が正確に動作しやすくなる。DATAがLレベル（0 V）であっても、リ

セット期間T1にノードaがHレベル（3V）となり、取り込み期間T2にLレベル（0V）のDATAが入力されるため、同様にノードa及びノードbが3V程度変動する。

5 本実施形態の通り、データラッチ回路において、データ信号DATAのHレベル又はLレベルを判定して出力するインバータの閾値電位を予め取得し、前記閾値電位から上下どちらに変動するかによりデータ信号がHレベルであるか又はLレベルであるかの判定をすることにより、電源電圧幅に対して入力信号の振幅が小さくても、TF  
10 Tの諸特性ばらつきによる閾値変動の影響を受けることなく、正確に動作することができる。よって、低消費電力化、高周波動作が可能となる。特に、TF Tの諸特性ばらつきの多い、ポリシリコンTF Tを用いたデータラッチ回路に用いることが望ましい。

また、本発明において、前記ポリシリコンTF Tを作製する際の結晶化法として、レーザ結晶化法、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法、又はこれらの結晶化法の組み合わせ等を用いる  
15 ことができる。

#### （実施の形態2）

図1（A）に示すデータラッチ回路を使用する際、図6（A）及び（B）に示すようにクロックドインバータ6002等を用い、保持を行ってもよいし、容量手段6003等を用い、保持を行ってもよい。クロックドインバータ6002には、一般的な  
20 クロックドインバータを用いてもよい。

一般的なクロックドインバータを図10に示す。クロックドインバータ10001は直列に接続された第1のP型TF T10002、第2のP型TF T10003、第1のN型TF T10004及び第2のN型TF T10005を有する。第1のP型TF T10002のゲート電極に入力されている端子を制御端子1とし、第2のP型T

FT10003及び第1のN型TFT10004のゲート電極に入力されている端子を入力端子とし、第2のN型TFT10005のゲート電極に入力されている端子を制御端子2とし、また第2のP型TFT10003及び第1のN型TFT10004の接続部端子を出力端子とする。

- 5 図6 (A) は図1 (A) に容量手段6003及びクロックインバータ6002を追加し、クロックインバータ6002をインバータ6001とループ状に接続したものである。クロックインバータ6002の制御端子1には保持用パルスHOLDが、制御端子2には前記HOLDの反転パルスHOLDBが入力される。その他の部分については図1 (A) と同様である。
- 10 図6 (B) は図1 (A) にクロックインバータ6102を追加し、クロックインバータ6102を補正インバータ6101とループ状に接続したものである。クロックインバータ6102の制御端子1には保持用パルスHOLDが、制御端子2には前記HOLDの反転パルスHOLDBが入力される。その他の部分については図1 (A) と同様である。
- 15 前記HOLDパルスはタイミングチャート図6 (C) に示す、6201または6202等のパルスが望ましく、シフトレジスタの出力パルス等を用いるとよい。動作としては、取り込み期間T2が終了した後、クロックインバータ6002又は6102がオンし、保持動作を開始するようにする。

本実施形態の通り、クロックインバータ等を用い保持を行うことで、所望の期

- 20 間、Hレベル、Lレベルを正確に保持することができる。

(実施の形態3)

図1 (A) のデータラッチ回路におけるブロックxを並列に2つ接続し、2つのリファレンス用スイッチにそれぞれ入力される2つの基準電位を、一方はデータ信号の最高電位 (DATAのHレベルと同電位) に、他方は前記データ信号の最低電位 (D

ATAのLレベルと同電位)とした場合について、図7に示す。

本実施形態のデータラッチ回路は、並列に接続されたブロックy及びブロックy<sup>′</sup>、ブロックy及びブロックy<sup>′</sup>の一方の接続部に入力部が接続された補正インバータ7008、補正インバータ7008と直列に接続されたインバータ7009、補正インバータ7008の入力端子と出力端子とに接続された閾値セット用スイッチ7007、及びクロックドインバータ7009を有する。

ブロックyは、直列に接続された、第1のデータ取り込み用スイッチ7001及び第1の容量手段7005と、それらの接続部(以下、「ノードa」という。)に信号DHを入力する第1のリファレンス用スイッチ7003とを有し、ブロックy<sup>′</sup>は直列に接続された、第2のデータ取り込み用スイッチ7002及び第2の容量手段7006と、それらの接続部(以下、「ノードa<sup>′</sup>」という。)に信号DLを入力する第2のリファレンス用スイッチ7004とを有する。

また、第1のデータ取り込み用スイッチ7001及び第2のデータ取り込み用スイッチ7002はLATによりそのオン又はオフを制御され、DATAを取り込む。第1のリファレンス用スイッチ7003、第2のリファレンス用スイッチ7004及び閾値セット用スイッチ7007はLAT-1によりオン又はオフを制御されている。閾値セット用スイッチ7007は補正インバータ7008の入力端子と出力端子との間に設けられている。補正インバータ7008の入力端子及び出力端子と閾値セット用スイッチ7007との接続部を、それぞれ、「ノードb」、「ノードc」という。また、本実施形態においては、VSSは-2V、VDDは5V、LAT、LATB、LAT-1及びLAT-1BそれぞれのHレベルは5V、Lレベルは0V、DATAのHレベル(DH)は3V、Lレベル(DL)は0Vとする。

本実施形態におけるタイミングチャートは、図1(B)に示す実施形態1におけるタイミングチャートと同様であるので、図1(B)のタイミングチャートを用いて説

明する。まずリセット期間T1において、LAT-1がHレベル（5V）となり、第1のリファレンス用スイッチ7003、第2のリファレンス用スイッチ7004及び閾値セット用スイッチ7008がオンし、ノードaがDHの電位（3V）となり、ノードa'がDLの電位（0V）となる。また、ノードbは補正インバータ7008の  
5 閾値電圧（ここでは2Vとする。）となる。

その後、続いてデータ取り込み期間T2において、LATがHレベル（5V）、且つLAT-1がLレベル（0V）となり、第1のデータ取り込み用スイッチ7001及び第2のデータ取り込み用スイッチ7002がオンする。DATAがHレベル（3V）である場合、ノードaは3Vのまま変化せず、ノードa'は0Vから3Vに変化する。  
10 る。そのため、ノードbは2Vから1.5V程度上昇し、3.5Vとなる。その結果、ノードcはVSS（-2V）に大きく近づく。

反対にDATAがLレベル（0V）である場合、ノードaは3Vから0Vに変化し、ノードa'は0Vのまま変化しない。そのため、ノードbは2Vから1.5V程度下降し、0.5V程度となる。よって、ノードcはVDD（5V）に大きく近づく。

15 上述したとおり、本実施形態のデータラッチ回路は、電源電圧幅に対して入力信号の振幅が小さくても、TFTの諸特性ばらつきによる影響を受けることなく、正確に動作することができ、低消費電力化、高周波動作が可能となる。さらに、本実施形態のデータラッチ回路においては、2つのリファレンス用スイッチにそれぞれ入力される2つの基準電位を、一方はデータ信号の最高電位（DH）に、他方は前記データ信  
20 号の最低電位（DL）とすることによって、基準電位に用いる中間電位を特設設ける必要はなく、電源数の削減に有効である。

#### （実施の形態4）

実施形態1～3とは異なる構成の本発明のデータラッチ回路を図8（A）に示す。  
本実施形態のデータラッチ回路は、並列に接続されたブロックz及びブロックz'

と、前記ブロック  $z$  及びブロック  $z'$  の一方の接続部に入力端子が接続された第1の補正インバータ8001と、第1の補正インバータ8001と直列に接続されたインバータ8002と、第1の補正インバータ8001の入力端子と出力端子との間に設けられた第1の閾値セット用スイッチ8003を有する。

- 5     また、ブロック  $z$  は直列に配置された第1の取り込み用スイッチ8004、第1の容量手段8008、第2の補正インバータ8010及び第3の容量手段8012と、第1の取り込み用スイッチ8004と第1の容量手段8008との接続部（以下「ノードa」という。）にDH（DATAのHレベルと同電位）を取り込む第1のリファレンス用スイッチ8006と、第2の補正インバータ8010の入力端子と出力端子と
- 10    の間に設けられた第2の閾値セット用スイッチ8014とを有している。ブロック  $z'$  は直列に配置された第2の取り込み用スイッチ8005、第2の容量手段8009、第3の補正インバータ8011及び第4の容量手段8013と、第2の取り込み用スイッチ8005と第2の容量手段8009との接続部（以下「ノードa'」という。）にDL（DATAのLレベルと同電位）を取り込む第2のリファレンス用スイッチ
- 15    8007と、第3の補正インバータ8011の入力端子と出力端子との間に設けられた第3の閾値セット用スイッチ8015とを有する。

- ブロック  $z$  及びブロック  $z'$  の他方の接続部、即ち第1の取り込み用スイッチ8004と第2の取り込み用スイッチ8005との接続部にDATAが入力される。第1の取り込み用スイッチ8004及び第2の取り込み用スイッチ8005は、それぞれ
- 20    、オン又はオフをLATにより制御される。第1のリファレンス用スイッチ8006、第2のリファレンス用スイッチ8007、第2の閾値セット用スイッチ8014及び第3の閾値セット用スイッチ8015は、それぞれ、オン又はオフをLAT-1により制御されている。

また、第1の補正インバータ8001の入力端子及び出力端子と第1の閾値セット

用スイッチ8003との接続部を、それぞれ、「ノードb」、「ノードc」という。また、第2の補正インバータ8010の入力端子及び出力端子と第2の閾値セット用スイッチ8014との接続部を、それぞれ、「ノードa2」、「ノードa3」という。さらに、第3の補正インバータ8011の入力端子及び出力端子と第3の閾値セット用スイッチ8015との接続部を、それぞれ、「ノードa2'」、「ノードa3'」という。

さらに、本実施形態のタイミングチャートは、図1（B）に示す実施形態1のタイミングチャートと同様であるので、図1（B）のタイミングチャートを用い、動作を説明する。

まず、リセット期間T1において、LAT-1がHレベル（VDD）となり、ノードaがDHの電位、ノードa'がDLの電位、ノードa2及びノードa3が第2の補正インバータ8010の閾値電位、ノードa2'及びノードa3'が第3の補正インバータ8011の閾値電位となる。

その後、続いて、データ取り込み期間T2において、LATがHレベル（VDD）となり、DATAが取り込まれる。DATAがHレベルの場合は、ノードa及びノードa2の電位は変わらず、ノードa'はDLからHレベルとなり、ノードa2'はDATAの振幅分程度上昇する。ノードa3'はVSSに大きく近づき、ノードbの電位も下降する。よって、ノードcはVDDに大きく近づく。

反対にDATAがLの場合は、ノードa'及び、ノードa2'の電位は変わらず、ノードaはDHからLレベルとなり、ノードa2はDATAの振幅分程度下降する。ノードa3はVDDに大きく近づき、ノードbの電位も上昇する。よって、ノードcはVSSに大きく近づく。

また、DATAがHレベルの場合のノードa2や、DATAがLレベルの場合のノードa2'が、DATA取り込みの際のスイッチングノイズ等により変動してしまい、誤動作してしまうような場合は、図8（B）に示すように、ノードa2及びノード

a 2´の間に第5の容量手段8016を設けると良い。容量手段8016によって、ノードa2及びノードa2´が同じ方向に変動し、誤動作を防ぐ。

上述したとおり、本実施形態のデータラッチ回路は、電源電圧幅に対して入力信号の振幅が他の実施形態のものよりも小さくても、TFTの諸特性ばらつきによる影響  
5 を受けることなく、正確に動作することができ、低消費電力化、高周波動作が可能となる。さらに、本実施形態のデータラッチ回路においては、2つのリファレンス用スイッチにそれぞれ入力される2つの基準電位を、一方はデータ信号の最高電位（DH）に、他方は前記データ信号の最低電位（DL）とすることによって、基準電位に用いる中間電位を特段設ける必要はなく、電源数の削減に有効である。

10 実施形態1～4において、ここでは例として、データ取り込み用スイッチ、リファレンス用スイッチ、閾値セット用スイッチがN型TFTの場合を説明したが、電源電圧値、信号電圧値、信号振幅によっては全てをP型TFTまたはN型TFT及びP型TFTを有するアナログスイッチに置換してもよいし、いくつかを置換してもよい。

また、リセット用のパルスLAT-1は1段前のシフトレジスタからのサンプリングパルスとしたが、複数段前のシフトレジスタからのサンプリングパルスでもよいし、  
15 リセット用にパルスを入力してもよい。また、全段一度にリセットしてもよい。電圧設定もまた、これに限らない。

（実施例）

（実施例1）

20 ここでは、本発明のデータラッチ回路がアクティブマトリクス型表示装置に使用される場合の構成と駆動について説明する。

図4に外部回路のブロック図とパネルの概略図を示す。ここでは例として、アクティブマトリクス型有機EL表示装置とする。

図4に示すように、アクティブマトリクス型表示装置は外部回路4004及びパネ

ル4010を有する。外部回路4004はA/D変換部4001、電源部4002及び信号生成部4003を有する。A/D変換部4001はアナログ信号で入力された映像データ信号をデジタル信号に変換し、ソース信号線駆動回路4006へ供給する。電源部4002はバッテリーやコンセントより供給された電源から、それぞれ所望の電圧値の電源を生成し、ソース信号線駆動回路4006、ゲート信号線駆動回路4007、EL素子4011、信号生成部4003等に供給する。信号生成部4003には、電源、映像信号及び同期信号等が入力され、各種信号の変換を行う他、ソース信号線駆動回路4006及びゲート信号線駆動回路4007を駆動するためのクロック信号等を生成する。

- 10 外部回路4004からの信号及び電源はFPCを通し、パネル4010内のFPC接続部4005から内部回路、EL素子4011等に入力される。

また、パネル4010はガラス基板4008上に、FPC接続部4005、内部回路が配置され、また、EL素子4011を有する。内部回路はソース信号線駆動回路4006、ゲート信号線駆動回路4007及び画素部4009を有する。

- 15 基板中央には画素部4009が配置され、その周辺には、ソース信号線駆動回路4006及びゲート信号線駆動回路4007が配置されている。EL素子4011及び、前記EL素子の対向電極は画素部4009全体面に形成されている。

より詳しく、図5にソース信号線駆動回路4006のブロック図を示す。

- 20 ソース信号線駆動回路4006はD-フリップフロップ(Delayed Flip-Flop; D-FF)5001を複数段用いてなるシフトレジスタ5002、データラッチ回路5003、ラッチ回路5004、レベルシフタ5005及びバッファ5006等を有する。データラッチ回路5003部に本発明のデータラッチ回路を用いることができ、実施形態に記載したいずれかのデータラッチ回路を採用することもできる。ここでは、データラッチ回路5003に採用した場合について説明するが、

前記データラッチ回路をラッチ回路5004に採用してもよい。

入力される信号はクロック信号線(S-CK)、反転クロック信号線(S-CKB)、スタートパルス(S-SP)、デジタル映像信号(DATA)及びラッチパルス(Latch Pulse)であり、また、基準電位にはデジタル映像信号の振幅の中間

5 電位を入力するものとする。

まず、クロック信号、クロック反転信号及びスタートパルスのタイミングに従って、シフトレジスタ5002より、順次サンプリングパルスが出力される。サンプリングパルスはデータラッチ回路5004へ入力される。データラッチ回路5004は1段前のD-FF5001から入力されたサンプリングパルスによってリセットされ、

10 続いて、自段のD-FF5007からサンプリングパルスが入力されたタイミングで、デジタル映像信号を取り込み、保持する。この動作が一系列目から順に行われる。

最終段のデータラッチ回路5003においてデジタル映像信号の保持が完了すると、水平帰線期間中にラッチパルスが入力され、データラッチ回路5003において保持されているデジタル映像信号は一斉にラッチ回路5004へと転送される。その後

15 、レベルシフタ5005においてレベルシフトされ、バッファ5006において整形された後、ソース信号線S1からSnへ一斉に出力される。その際、ゲート信号線駆動回路4007によって選択された行の画素へ、Hレベル、Lレベルが入力され、EL素子4011の発光、非発光を制御する。

本実施例にて示したアクティブマトリクス型表示装置はパネル4010と外部回路  
20 4004が独立されているが、これらを同一基板上に一体形成して作製してもよい。

また、表示装置は例として、有機ELを使用したものとしたが、有機EL以外の発光素子を利用した発光装置でもよいし、液晶表示装置でもよい。また、ソース信号線駆動回路4006内にレベルシフタ5005及びバッファ5006が無くてもよい。

(実施例2)

実施例１で説明したとおり、本発明のデータラッチ回路は、様々な表示装置に用いることができ、その表示装置は様々な電子機器の表示部に用いることができる。特に低消費電力が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。

- 5     具体的に前記電子機器として、携帯情報機器（携帯電話、モバイルコンピュータ、携帯型ゲーム機または電子書籍等）、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステム等が挙げられる。これら電子機器の具体例を図９（Ａ）から図９（Ｄ）に示す。

図９（Ａ）は表示ディスプレイであり、筐体９００１、音声出力部９００２、表示部  
10    部９００３等を含む。本発明のデータラッチ回路を用いた表示装置は表示部９００３に用いることができる。表示装置は、パソコン用、ＴＶ放送受信用、広告表示用など全ての情報表示装置が含まれる。

図９（Ｂ）はモバイルコンピュータであり、本体９１０１、スタイラス９１０２、表示部  
15    部９１０３、操作ボタン９１０４、外部インターフェイス９１０５等を含む。本発明のデータラッチ回路を用いた表示装置は表示部９１０３に用いることができる。

図９（Ｃ）はゲーム機であり、本体９２０１、表示部９２０２、操作ボタン９２０  
3    等を含む。本発明のデータラッチ回路を用いた表示装置は表示部９２０２に用いることができる。

図９（Ｄ）は携帯電話であり、本体９３０１、音声出力部９３０２、音声入力部  
20    部９３０３、表示部９３０４、操作スイッチ９３０５、アンテナ９３０６等を含む。本発明のデータラッチ回路を用いた表示装置は表示部９３０４に用いることができる。

#### 産業上の利用可能性

以上のように、本発明のデータラッチ回路は、デジタルデータを取り込む全ての回

路に適用可能であり、特に表示装置の駆動回路に適している。また、本発明のデータラッチ回路を駆動回路の一部に用いた表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

## 請 求 の 範 囲

1. デジタル信号を取り込むデータラッチ回路であって、第1及び第2の電極を有する容量手段と、前記第1の電極に入力端子が接続されたインバータと、前記インバータの前記入力端子と出力端子との間に接続されたスイッチとを有し、  
  
リセット期間において、前記スイッチをオンし、且つ前記容量手段の前記第2の電極に第1の電位を入力し、  
  
前記リセット期間後の取り込み期間において、前記容量手段の前記第2の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。
2. デジタル信号を取り込むデータラッチ回路であって、第1及び第2の電極を有する容量手段と、前記第1の電極に入力端子が接続されたインバータと、前記インバータの前記入力端子と出力端子との間に接続された第1のスイッチと、前記第2の電極に接続された第2のスイッチ及び第3のスイッチとを有し、  
  
リセット期間において、前記第1のスイッチをオンし、且つ前記第2のスイッチをオンすることにより前記容量手段の前記第2の電極に第1の電位を入力し、  
  
前記リセット期間後の取り込み期間において、前記第3のスイッチをオンすることにより前記容量手段の前記第2の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。
3. デジタル信号を取り込むデータラッチ回路であって、第1及び第2の電

極を有する容量手段と、前記第 1 の電極に入力端子が接続された第 1 のインバータと、前記第 1 のインバータの前記入力端子と出力端子との間に接続されたスイッチと、前記第 1 のインバータの前記出力端子に出力端子が接続された第 2 のインバータと、前記第 2 のインバータの前記入力端子及び出力端子に出力端子及び入力端子がそれぞれ接続されたクロックドインバータとを有し、

リセット期間において、前記スイッチをオンし、且つ前記容量手段の前記第 2 の電極に第 1 の電位を入力し、

前記リセット期間後の取り込み期間において、前記容量手段の前記第 2 の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。

4. デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する容量手段と、前記第 1 の電極に出力端子が接続された第 1 のインバータと、前記第 1 のインバータの前記入力端子と出力端子との間に接続された第 1 のスイッチと、前記第 2 の電極に接続された第 2 のスイッチ及び第 3 のスイッチと、前記第 1 のインバータの前記出力端子に出力端子が接続された第 2 のインバータと、前記第 2 のインバータの前記入力端子及び出力端子に出力端子及び入力端子がそれぞれ接続されたクロックドインバータとを有し、

リセット期間において、前記第 1 のスイッチをオンし、且つ前記第 2 のスイッチをオンすることにより前記容量手段の前記第 2 の電極に第 1 の電位を入力し、

前記リセット期間後の取り込み期間において、前記第 3 のスイッチをオンすることにより前記容量手段の前記第 2 の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。

5. デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する容量手段と、前記第 1 の電極に入力端子が接続された第 1 のインバータと、前記第 1 のインバータの前記入力端子と出力端子との間に接続されたスイッチと、前記第 1 のインバータの前記出力端子に入力端子が接続された第 2 のインバータと、前記第 1 のインバータの前記入力端子及び前記出力端子に出力端子及び入力端子がそれぞれ接続されたクロックドインバータとを有し、

リセット期間において、前記スイッチをオンし、且つ前記容量手段の前記第 2 の電極に第 1 の電位を入力し、

前記リセット期間後の取り込み期間において、前記容量手段の前記第 2 の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。

6. デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する容量手段と、前記第 1 の電極に入力端子が接続された第 1 のインバータと、前記第 1 のインバータの前記入力端子と出力端子との間に接続された第 1 のスイッチと、前記第 2 の電極に接続された第 2 のスイッチ及び第 3 のスイッチと、前記第 1 のインバータの前記出力端子に入力端子が接続された第 2 のインバータと、前記第 1 のインバータの前記入力端子及び前記出力端子に出力端子及び入力端子がそれぞれ接続されたクロックドインバー

タとを有し、

リセット期間において、前記第 1 のスイッチをオンし、且つ前記第 2 のスイッチをオンすることにより前記容量手段の前記第 2 の電極に第 1 の電位を入力し、

前記リセット期間後の取り込み期間において、前記第 3 のスイッチをオンすることにより前記容量手段の前記第 2 の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。

7. デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する第 1 の容量手段と、第 3 及び第 4 の電極を有する第 2 の容量手段と、前記第 1 の電極及び前記第 3 の電極に入力端子が接続されたインバータと、前記インバータの前記入力端子と出力端子との間に接続されたスイッチとを有し、

リセット期間において、前記スイッチをオンし、且つ前記第 1 の容量手段の前記第 2 の電極に第 1 の電位を入力し、且つ前記第 3 の容量手段の前記第 4 の電極に第 2 の電位を入力し

前記リセット期間後の取り込み期間において、前記第 1 の容量手段の前記第 2 の電極および前記第 2 の容量手段の前記第 4 の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。

8. デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する第 1 の容量手段と、第 3 及び第 4 の電極を有する第 2 の容量手段と、前記第 1 の電極及び前記第 3 の電極に入力端子が接続されたインバータと、前記インバータの前記入力端子と出力端子との間に接続された第 1 のスイ

ッチと、前記第 2 の電極に接続された第 2 のスイッチ及び第 3 のスイッチと、前記第 4 の電極に接続された第 4 のスイッチ及び第 5 のスイッチとを有し

リセット期間において、前記スイッチをオンし、且つ前記第 2 のスイッチをオンすることにより前記第 1 の容量手段の前記第 2 の電極に第 1 の電位を入力し、且つ前記第 4 のスイッチをオンすることにより前記第 3 の容量手段の前記第 4 の電極に第 2 の電位を入力し、

前記リセット期間後の取り込み期間において、前記第 3 のスイッチをオンすることにより前記第 1 の容量手段の前記第 2 の電極に、且つ前記第 5 のスイッチをオンすることにより前記第 2 の容量手段の前記第 4 の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。

9. デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する第 1 の容量手段と、第 3 及び第 4 の電極を有する第 2 の容量手段と、前記第 1 の電極に入力端子が接続され且つ前記第 3 の電極に出力端子が接続された第 1 のインバータと、前記第 1 のインバータの前記入力端子と前記出力端子との間に接続された第 1 のスイッチと、第 5 及び第 6 の電極を有する第 3 の容量手段と、第 7 及び第 8 の電極を有する第 4 の容量手段と、前記第 5 の電極に入力端子が接続され且つ前記第 7 の電極に出力端子が接続された第 2 のインバータと、前記第 2 のインバータの前記入力端子と前記出力端子との間に接続された第 2 のスイッチと、前記第 4 及び前記第 8 の電極に入力端子が接続された第 3 のインバータと、前記第 3 のインバータの前記入力端子と出力端子との間に接続された第 3 のスイッチとを有し、

リセット期間において、前記第 1 及び第 2 のスイッチをオンし、且つ前記第 1 の容量手段の前記第 2 の電極に第 1 の電位を入力し、且つ前記第 3 の容量手段の前記第 4 の電極に第 2 の電位を入力し、

前記リセット期間後の取り込み期間において、前記第 1 の容量手段の前記第 2 の電極および前記第 2 の容量手段の前記第 4 の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。

10. デジタル信号を取り込むデータラッチ回路であって、第 1 及び第 2 の電極を有する第 1 の容量手段と、第 3 及び第 4 の電極を有する第 2 の容量手段と、前記第 1 の電極に入力端子が接続され且つ前記第 3 の電極に出力端子が接続された第 1 のインバータと、前記第 1 のインバータの前記入力端子と前記出力端子との間に接続された第 1 のスイッチと、第 5 及び第 6 の電極を有する第 3 の容量手段と、第 7 及び第 8 の電極を有する第 4 の容量手段と、前記第 5 の電極に入力端子が接続され且つ前記第 7 の電極に出力端子が接続された第 2 のインバータと、前記第 2 のインバータの前記入力端子と前記出力端子との間に接続された第 2 のスイッチと、前記第 4 及び前記第 8 の電極に入力端子が接続された第 3 のインバータと、前記第 3 のインバータの前記入力端子と出力端子との間に接続された第 3 のスイッチと、前記第 1 の電極と前記第 5 の電極とに接続された第 5 の容量とを有し、

リセット期間において、前記第 1 及び第 2 のスイッチをオンし、且つ前記第 1 の容量手段の前記第 2 の電極に第 1 の電位を入力し、且つ前記第 3 の容量手段の前記第 4 の電極に第 2 の電位を入力し、

前記リセット期間後の取り込み期間において、前記第 1 の容量手段の前

記第 2 の電極および前記第 2 の容量手段の前記第 4 の電極に前記デジタル信号を入力することを特徴とするデータラッチ回路。

- 1 1. 請求項 7 乃至 9 のいずれかーにおいて、前記第 1 の電位は、前記デジタル信号の 1 の電位又は 0 の電位であることを特徴とするデータラッチ回路。
- 1 2. 請求項 1 乃至請求項 1 0 のいずれかーにおいて、前記リセット期間を前段のシフトレジスタからのサンプリングパルスを用い決定し、前記取り込み期間を自段のシフトレジスタからのサンプリングパルスを用い決定することを特徴とするデータラッチ回路。
- 1 3. 請求項 1 乃至 1 0 のいずれかーにおいて、前記デジタル信号の振幅が前記データラッチ回路に用いられる電源電圧幅と比較して小さいことを特徴とするデータラッチ回路。
- 1 4. 請求項 4、5 又は 6 において、前記クロックインバータの制御端子に、前段のシフトレジスタからの出力パルスを用いることを特徴とするデータラッチ回路。
- 1 5. 請求項 1 乃至請求項 1 0 のいずれかーにおいて、前記データラッチ回路は薄膜トランジスタにより形成されることを特徴とするデータラッチ回路。
- 1 6. 請求項 1 乃至 1 0 のいずれかーに記載のデータラッチ回路を用いたことを特徴とする電子機器

## 要 約 書

本発明のデータラッチ回路は、インバータの入力端子と出力端子とを短絡する手段を有し、且つその入力端子を容量の一方の電極と接続し、前記容量の他方の電極にはデータ信号又は基準電位を取り込むことにより、電源電圧に対し入力信号の振幅が小さくても、T F Tの特性ばらつきの影響を受けることなく正確に動作可能となる。

図 1

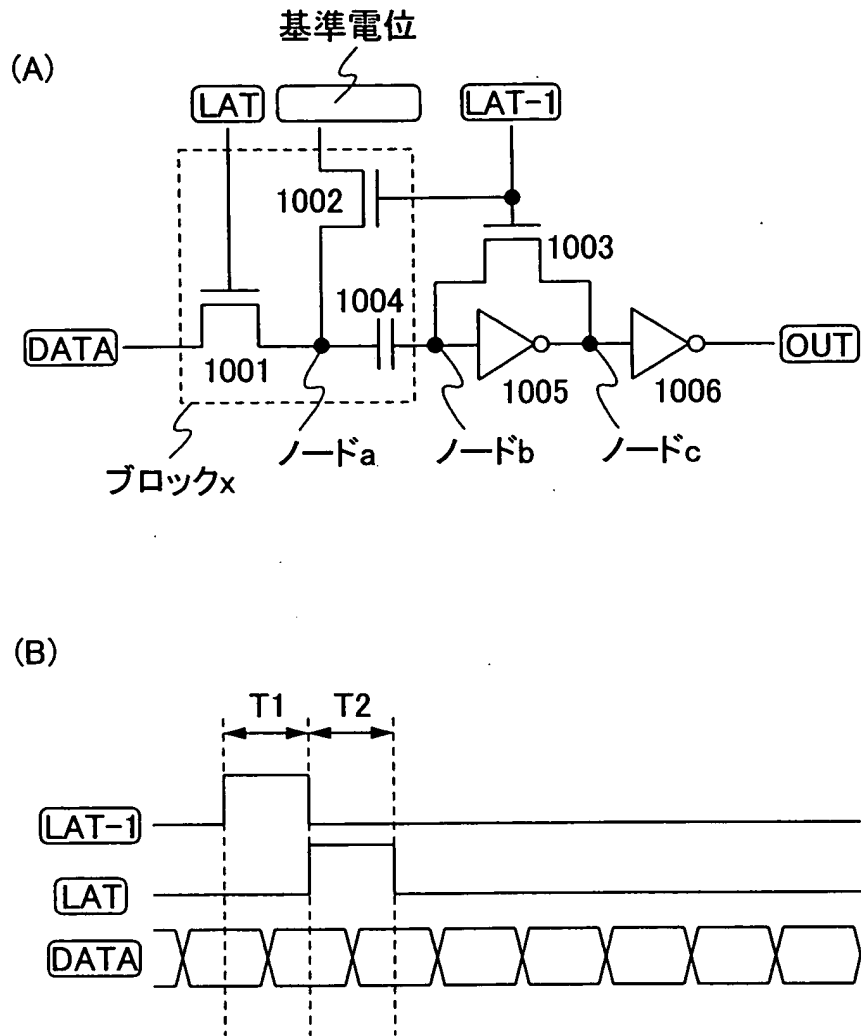
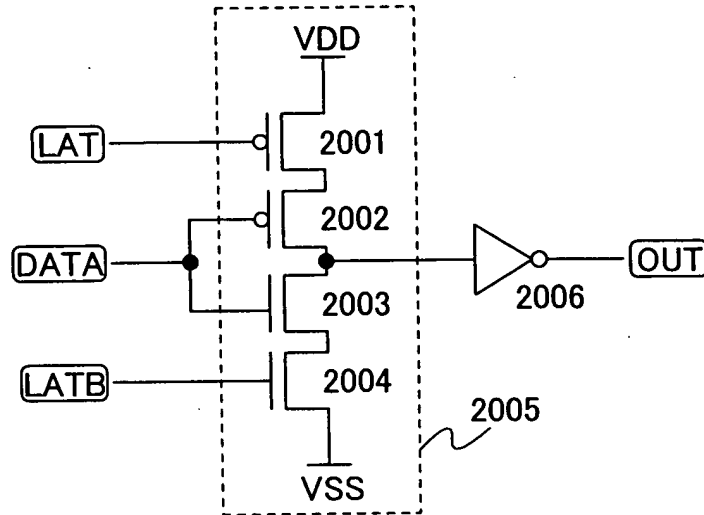


図2

(A)



(B)

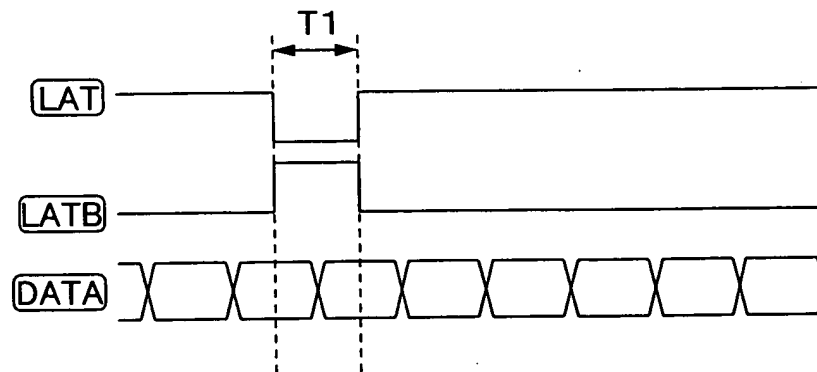
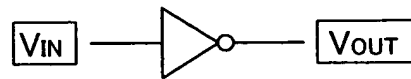


図3

(A)



(B)

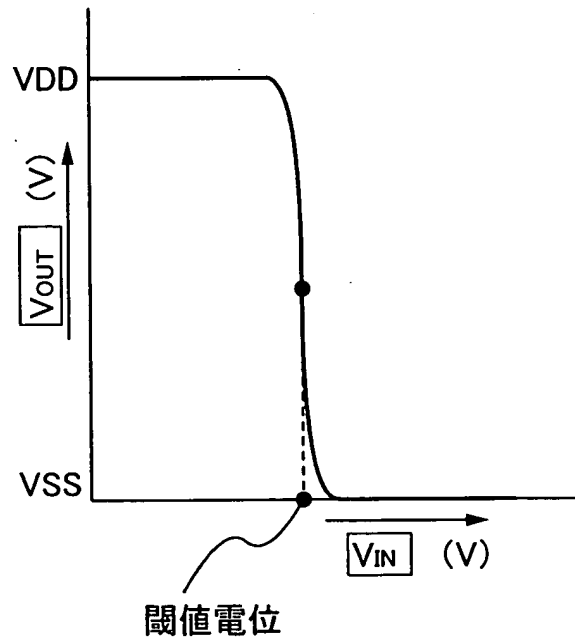


図 4

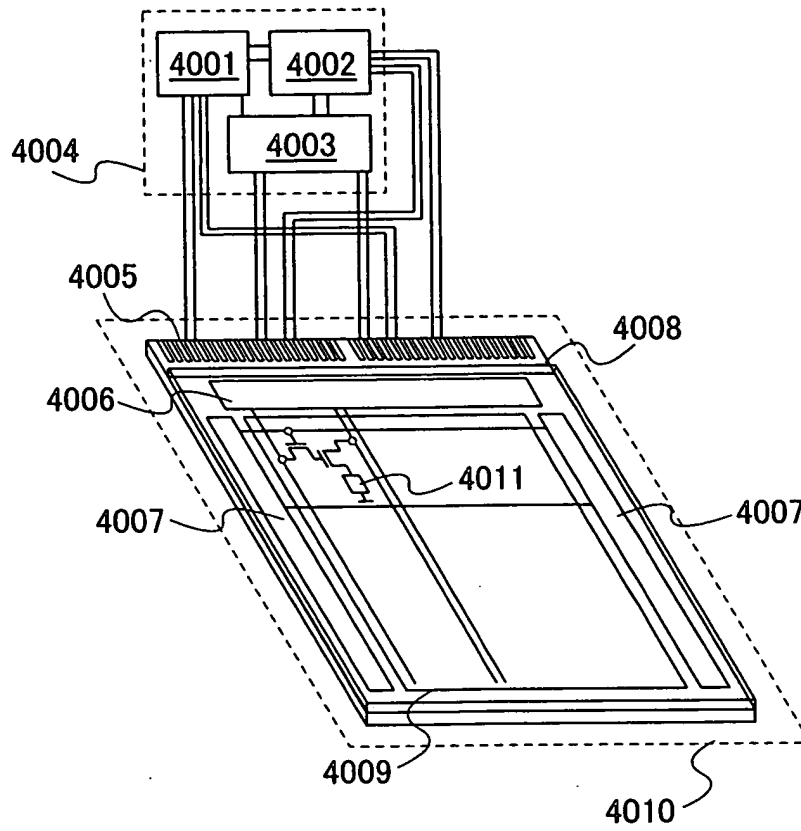


図5

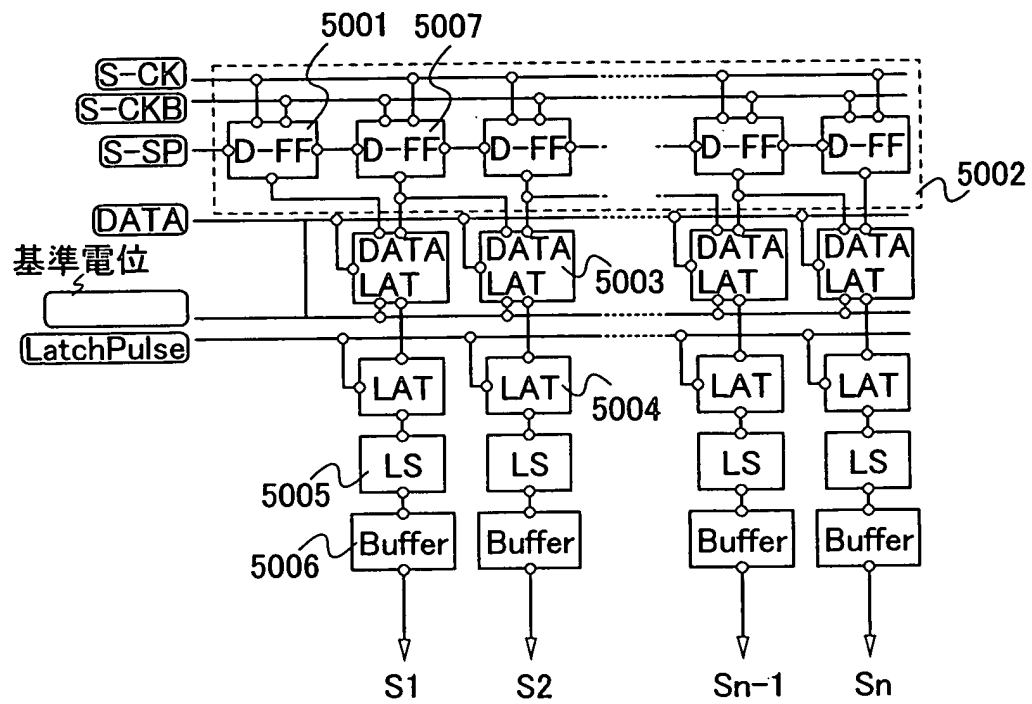
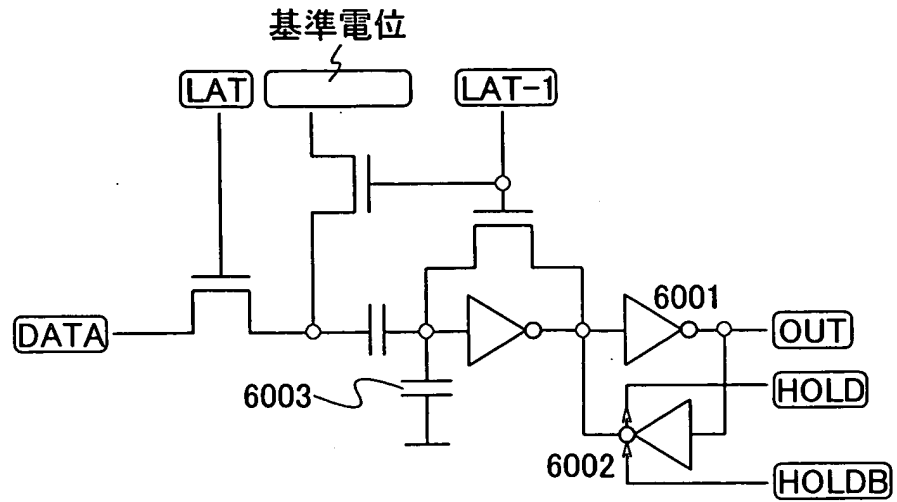
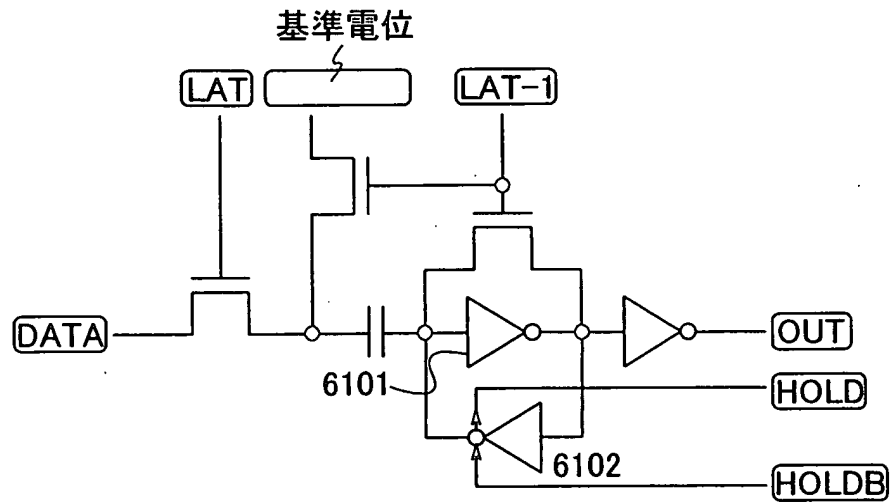


図6

(A)



(B)



(C)

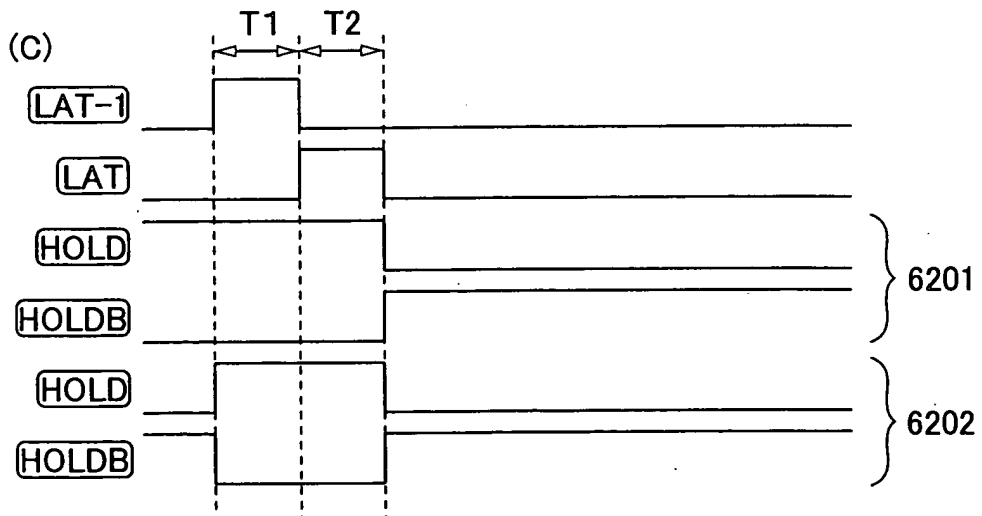


図7

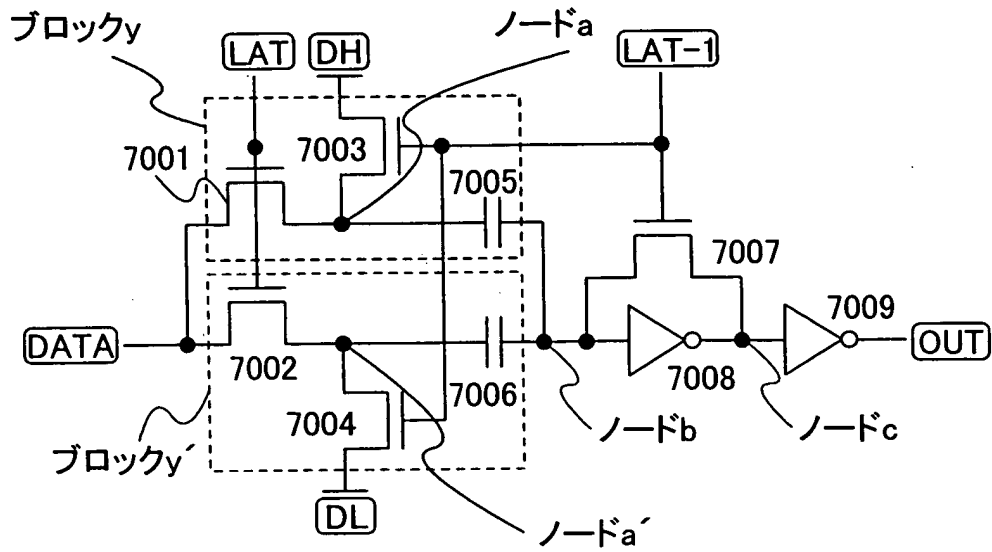
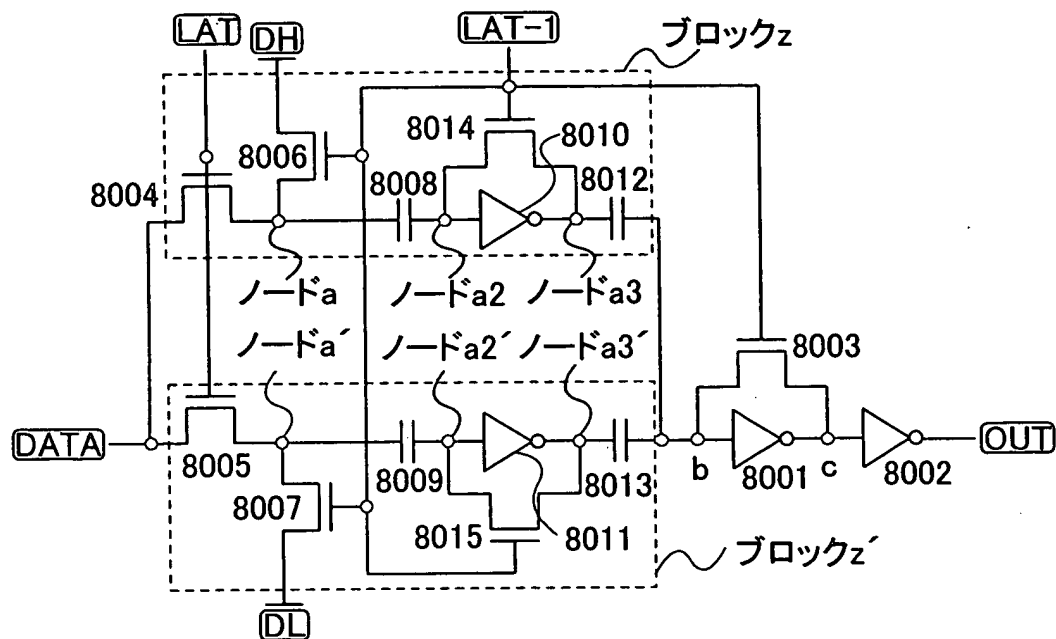


図8

(A)



(B)

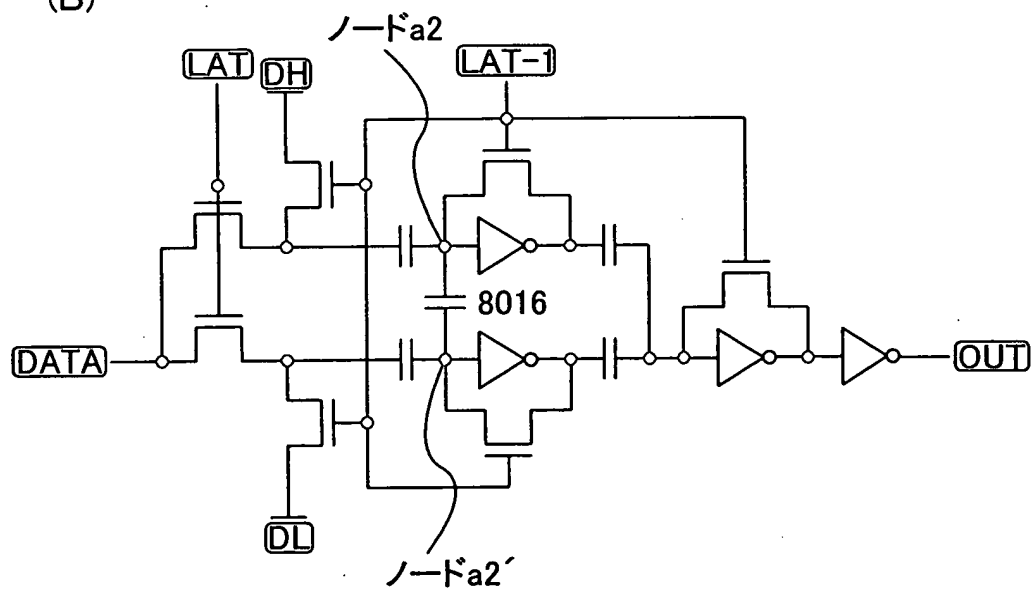


図9

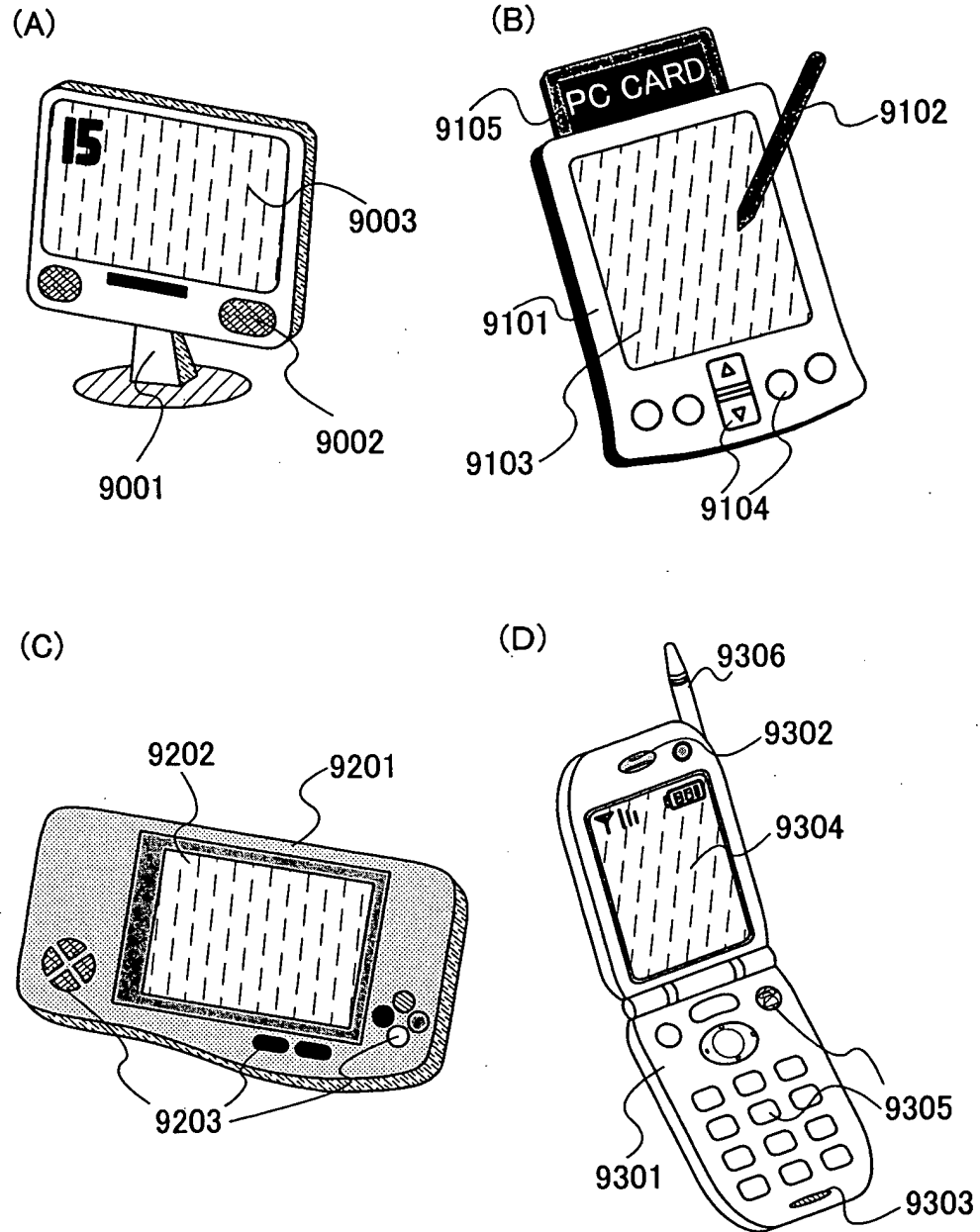


図10

